

**Non-volatile memory cell.**

Patent Number: ☐ EP0311773, A3, B1  
Publication date: 1989-04-19  
Inventor(s): BASS ROY S JR; BHATTACHARYYA ARUP; GRISE GARY D  
Applicant(s):: IBM (US)  
Requested Patent: ☐ JP1115165  
Application Number: EP19880113409 19880818  
Priority Number(s): US19870108886 19871016  
IPC Classification: G11C17/00 ; H01L27/10 ; H01L29/78  
EC Classification: G11C16/04M, H01L27/115, H01L29/792  
Equivalents: DE3885408D, DE3885408T, JP2055926C, JP7095571B, ☐ US4870470

---

**Abstract**

---

A non-volatile memory cell comprising a field effect transistor having source, gate, and drain electrodes (60, 40, 65). The gate structure (50) includes a gate stack having a dielectric layer (20), a charge storage structure (30) comprising a layer of silicon-rich silicon nitride having sufficient excess silicon to provide appreciable charge storage enhancement, without providing appreciable charge conductance enhancement, as compared to stoichiometric silicon nitride, and a charge injection means (35, 25). A control electrode (40) is disposed on the gate stack for effecting charge transfer to and from the silicon-rich silicon nitride layer through the charge injection means. An array of these cells is formed by disposing the FETs within independently biased substrate portions. Thus the cells can be overwritten without an intervening erasure cycle.

---

Data supplied from the esp@cenet database - I2

## ⑫ 公開特許公報(A) 平1-115165

⑬ Int. Cl.

H 01 L 29/78  
G 11 C 17/00

識別記号

3 7 1  
3 0 7

庁内整理番号

7514-5F  
D-7341-5B

⑭ 公開 平成1年(1989)5月8日

審査請求 有 請求項の数 4 (全17頁)

⑮ 発明の名称 Si 豊富な窒化シリコンの電荷トラッピング層を有する持久性メモリ・セル

⑯ 特 願 昭63-200303

⑰ 出 願 昭63(1988)8月12日

優先権主張 ⑱ 1987年10月16日 ⑲ 米国(US) ⑳ 108886

㉑ 発 明 者 ロイ・スマイス・バス、ジュニア アメリカ合衆国ヴァーモント州アンダーヒル、マブル・リッジ・ロード、アール・アール1・ボックス3720番地

㉒ 出 願 人 インターナショナル・ビジネス・マシーンズ・コーポレーション アメリカ合衆国10504、ニューヨーク州アーモンク(番地なし)

㉓ 代 理 人 弁理士 山本 仁朗 外1名

最終頁に続く

## 明 細 書

1. 発明の名称 Si 豊富な窒化シリコンの電荷トラッピング層を有する持久性メモリ・セル

## 2 特許請求の範囲

(1) 屈折率が2.10～2.30のシリコン含有窒化シリコン層を電荷蓄積媒体として含むことを特徴とする電荷記憶装置。

(2) 半導体基板に形成されたソース領域、ドレイン領域及びゲート構造体を有する電界効果トランジスタを有し、上記ゲート構造体が、

上記基板上に形成された絶縁層と、

上記絶縁層上に設けられた、屈折率が2.10～2.30のシリコン含有窒化シリコン層よりなる電荷蓄積層と、

上記電荷蓄積層上に設けられた電荷注入構造体と、

上記電荷注入構造体上に設けられた制御電極と、よりなることを特徴とするメモリ・セル。

(3) 上記電荷注入構造体が上記電荷蓄積層上に設けられたバリア層と、このバリア層上に設けられたシリコン含有窒化シリコン層とからなることを特徴とする特許請求の範囲第2項に記載のメモリ・セル。

(4) 上記電荷注入構造体が上記電荷蓄積層上に設けられたバリア層と、このバリア層上に設けられた、屈折率が2.35以上のシリコン含有窒化シリコン層とからなることを特徴とする特許請求の範囲第2項に記載のメモリ・セル。

## 3 発明の詳細な説明

以下の順序で本発明を説明する。

A 産業上の利用分野

B 従来技術

C 発明が解決しようとする問題点

D 問題点を解決するための手段

E 実施例

E 1 非導電性の電荷トラップ構造(第2、3、4、5、6図)

E 2 本発明のメモリ・セル及びアレイ(第

1、7、8、9図)

E3 メモリ・セル・アレイの動作

E4 メモリ・セルの改良、代替実施例(第  
10、11、12図)

F 発明の効果

## A 産業上の利用分野

本発明は一般に集積回路メモリ・セル、具体的には持久性プログラム式メモリ・セルに関する。

## B 従来技術

電氣的に消去可能なプログラム式(プログラマブル)読取り専用メモリ(EEPROM)は産業界で広く受入られている。EEPROMセルは通常のワン・デバイス・ダイナミック・ランダム・アクセス・メモリ(DRAM)セルの容量性電荷蓄積素子に必要な周期的なりフレッシュ・パルスが必要としない。このことは著しい電力節力を与える。

EEPROMセルは記憶した論理状態を確立す

領域間の部分にチャネル領域が誘導される。この高いバイアス電圧において、一部のキャリアは十分なエネルギーを得て、酸化シリコン層を通過して浮動ゲートに注入される。このキャリアの注入(アバランシェ破壊もしくは熱電子の効果による)は印加バイアス電圧によつて決定される量の電荷を浮動ゲートに与える。セルを消去するためには、負のバイアス電圧が制御電圧に供給され、前に浮動ゲートに蓄積された電荷のキャリアは酸化シリコン層を通過してシリコン基板中に注入される。

他のEEPROMセルでは、非導電性の電荷トラップ層が上述のジルコニウムの浮動ゲートに代つて使用されている。米国特許第3878549号では、FETのゲート電極はシリコン基板と接触する酸化シリコンの層、該酸化シリコン層上の窒化シリコンの薄層、窒化シリコン層上の複数のシリコンのクラスタ、シリコンのクラスタに重畳する第2の窒化シリコンの層及び制御電極より成る。高いバイアス電圧が印加されると、電子は酸化シリコン層及び第1の窒化シリコン層を通して

るために電荷の注入/除去に依存しているので、EEPROMセルの書き込みサイクルはDRAMのそれよりも著しく長くなる。

いくつかの例示的なEEPROM技術を次に説明する。

米国特許第3500142号は2つのP型拡散領域間のSi基板の一部の上に存在する酸化シリコン層、該酸化シリコン層上に存在するジルコニウム層、該ジルコニウム層上の酸化ジルコニウム層及び該酸化ジルコニウム層上の制御電極によつてゲート電極が画定されたプログラム式電界効果トランジスタ(FET)を開示している。ジルコニウム層は浮動ゲート構造として働く。即ちジルコニウム層は電源に直接結合されていない。さらに、浮動ゲートはこれとその上の制御電極間の容量性結合の関数としてそれ自身の電圧状態(即ち浮動電圧)を取るようになっていいる。セルをプログラムするためには、高いバイアス電圧が制御電極に印加される。制御電極及び浮動ゲート間の容量性結合によつてシリコン基板の2つのP型拡散

注入され、窒化シリコン層に重畳するシリコンのクラスタによつてトラップされる。特開昭55-87490号では、複数の酸化シリコン層及び窒化シリコン層を間挿した構造が与えられている。基板から注入される電荷は印加バイアス電圧の大きさに依存して1つもしくはそれ以上の窒化シリコン層によつてトラップされる。PCT出願第80-01179号はシリコン基板から注入される電荷が酸化シリコン層を通過して窒化シリコン層によつてトラップされる持久性メモリ・セルを開示している。米国特許第3649884号は化学量論的な酸化シリコンの介在層を通過してシリコン基板から注入される電荷をトラップするシリコン豊富な酸化シリコンの介在層を含むゲート組立体を有する電界効果トランジスタを開示している。

上述の参考文献では、メモリ・セルは基板の誘導チャネル領域から介在する絶縁層を通り、導電性もしくは非導電性の電荷トラップ層への電荷の注入によつてプログラムされる。実際は、誘導されたチャネル領域からの電荷注入の程度を正確に

制御することは困難である。上側の電荷トラップ層からチャネル領域を分離する酸化シリコン層は、十分薄くて電荷の移動を可能とするものでなければならぬが、電荷トラップ層が蓄積電荷を保持できる程度に厚くなければならぬ。これ等の特性は酸化物層の厚さ及び化学量論的値の変化に極めて敏感である。

これ等の困難を克服するために、誘導チャネル領域からの電荷の注入に依存しないEEPROMを構成する試みがなされている。米国特許第4104675号では、シリコン基板は熱的に成長した酸化シリコンの厚い層及び熱分解による酸化シリコンの薄い層で覆われている。アルミニウムの層がこの熱分解による $\text{SiO}_2$ 層の上に付着されている。この特許の第7図に示されるように、アルミニウム層がFETメモリ装置のゲート電極として使用され、熱分解 $\text{SiO}_2$ 層及び熱成長 $\text{SiO}_2$ 層がゲートの絶縁層として使用されている。熱分解 $\text{SiO}_2$ はその中に過剰のシリコンを有する。過剰シリコンの量は熱成長 $\text{SiO}_2$ -Si基板のインタ

ーフェイスからの距離の関数として増大している。シリコン濃度のこの増大は傾斜バント・ギャップ構造を生じ、アルミニウム電極から $\text{SiO}_2$ 基板インターフェイスへの正孔及び電子の注入を可能にしている。従つてこの特許は基板の表面のトンネリングに依存しないで、電荷の注入/除去がトラッピング中心と上側の電荷注入構造体間で生ずる構造を開示している。実際にはこの特許の原理に基づいてメモリ・セルを構成するのは困難である。それは厚い $\text{SiO}_2$ 層がトラッピング層として十分でないからである。即ち十分な電荷がトラップされず、トラップされた電荷が $\text{SiO}_2$ 層内で不均一に分散する。従つてEEPROMセルの閾値に対するトラップ電荷の影響によつて装置の特性は装置ごとに異なる。

上述の欠点のうちいくつかはこの米国特許第4104675号の発明者であるディマリヤ(DiMaria)の後の論文によつて認められている。たとえば1981年7月刊「ジャーナル・オブ・アプライド・フィジックス」第52巻、第7号、

第4825頁-第4842頁のディマリヤ他「Si豊富な $\text{SiO}_2$ 注入体及び浮動多結晶Si蓄積層を使用した電氣的に変更可能な読取り専用メモリ」(DiMaria et al. "Electrically-Alternable Read-Only-Memory Using Silicon-Rich  $\text{SiO}_2$  Injector and a Floating Polycrystalline Silicon Storage Layer", Journal of Applied Physics, Vol. 52, No. 7, July 1981, pp. 4825-4842)を参照されたい。この論文の第2図に示されているように、化学量論的な $\text{SiO}_2$ 層が2つのSi豊富な $\text{SiO}_2$ 層間にサンドイッチされている。下のSi豊富な $\text{SiO}_2$ 層は第1のポリシリコン層上に存在し、上のSi豊富な $\text{SiO}_2$ 層は第2のポリシリコン電極の下に存在する。電荷移動は2つのポリシリコン電極間で2つのSi豊富な $\text{SiO}_2$ 層を通して行われる。この中央の化学量論的な $\text{SiO}_2$ 層と関連する2重のSi豊富な $\text{SiO}_2$ 層は通常2重電子注入構造(DEIS)と呼ばれる。先ず、下の

ポリシリコン電極は注入された電荷を蓄積する浮動ゲートとして働く。このような構造は上述の特許の厚い酸化物層よりも多くの電荷を貯え、注入された電荷をより一様に貯える。しかしながらこの米国特許第4104675号と反対に、下及び上のSi豊富な $\text{SiO}_2$ 中のSiの量は相対的に等しく、介在する $\text{SiO}_2$ 層は余分のSiを含まない。

さらに上述のメモリ・セルには他の問題がある。信頼のおける電荷蓄積構造を与えるために、導電性層が使用されている。従つて上述の米国特許第3500142号の場合と同様に、浮動ゲートと制御ゲート間の容量性結合に頼つて、セルをプログラムもしくは消去する。このような状態はより低い印加電圧を用いる現在の装置技術と両立しない。さらに、2つのポリシリコン層間の酸化物層の特性を正確に制御することは困難であるので、この容量性の特徴は上側のポリシリコン電極に対して下側のポリシリコン電極の寸法を増大することによつて補償しなければならない。このことは現在の装置の寸法の小型化傾向と両立しないこと

を意味する。

従つて、熱いキャリアの注入によつてプログラムされるのではなく、しかも現在の装置のスケーリング(小型化)の傾向と両立する非導電性の電荷トラップ構造を組み込んだEEPROMメモリ・セルが必要とされる理由が明らかであろう。

#### C 発明が解決しようとする問題点

本発明の目的は、非導電性の電荷トラップ構造を与えることにある。

本発明に従い、熱いキャリアの注入に依存しない電荷トラップ構造が与えられる。

本発明に従えば、厚さ及び化学量論的割合の小さな変化に過度に敏感でない電荷トラップ構造が与えられる。

本発明に従えば、高密度のEEPROMアレイ中に使用される電荷トラップ構造が与えられる。

#### D 問題点を解決するための手段

本発明に従えばSi(シリコン)豊富な $\text{Si}_3\text{N}_4$ (窒化シリコン)の層より成る電荷トラップ構造が与えられる。Si豊富な $\text{Si}_3\text{N}_4$ の層中のSiの量は、この層が化学量論的な $\text{Si}_3\text{N}_4$ 層と比較して顕著な電荷移動の増強を与えることなく、顕著な電荷蓄積の増強を与えるように制御される。

本発明の一つの特定の態様においては、電荷トラップ注入構造は上述のSi豊富な $\text{Si}_3\text{N}_4$ 層、バリア層、及び化学量論的な $\text{Si}_3\text{N}_4$ と比較して顕著な電荷の蓄積の増強を与えることなく顕著な電荷の移動の増強を与えるSi豊富な $\text{Si}_3\text{N}_4$ の第2の層によつて与えられる。

本発明の他の特定の態様においては、上述の電荷トラップ/注入構造はゲート絶縁層と制御電極間に与えられてFET-EEPROMのゲート電極を画定する。セルは深い分離トレンチによつて互に分離されている一連の基板部分に配置できる。基板部分は夫々の基板バイアス・ゼネレータによ

つて個々にバイアスされる。これによつて個々のセルの消去が可能になり、重ね書き可能なEEPROMアレイが与えられる。

上述の構造を組み込んだメモリ・セルは導電性のトラップ層の場合にみられる制御、寸法上の制約がなく、しかも電荷注入機構として熱いキャリアの注入を用いない。

#### E 実施例

##### E1 非導電性の電荷トラップ構造。

非導電性の電荷トラップ構造には多くの実施例が考えられるが、以下これについて説明する。

化学量論的 $\text{SiO}_2$ は電荷トラップの性質を有することがわかっている。これ等の電荷トラップの性質は処理方法によつて大いに異なる。1976年1月刊のジャーナル・オブ・エレクトロケミカル・ソサイアティ第42-47頁のジュラによる「熱い電子をトラップする $\text{SiO}_2$ に対する処理方法の効果」(Gdula, "The Effects of Processing on Hot Electron

Trapping  $\text{SiO}_2$ ," J. Electrochem. Soc., January 1976, pp. 42-47)と題する論文には、ホウ素をドーブしたCVD  $\text{SiO}_2$ は乾燥 $\text{O}_2$ 雰囲気中で熱的に成長した $\text{SiO}_2$ よりも3倍程高い電荷トラップ効率を有することが示されている。1980年刊インスティテュート・オブ・フィジカル・コンファレンスS. N. 50、第28-39頁のヤング「 $\text{SiO}_2$ の電子トラッピング」(Young "Electron Trapping in  $\text{SiO}_2$ ," Inst. Phy. Conf., S. N. 50, 1980, pp. 28-39)と題する論文には、トラップ密度は付着後のアニール時間、温度及び雰囲気の間数として1桁程度変化することが示されている。 $\text{SiO}_2$ の最適なトラップ密度は $10^{17}-10^{18}/\text{cm}^3$ 程度であることが示されている。この値はFETのチャネル領域を制御するのに必要な値の少なくとも3桁程度少い。さらに $\text{SiO}_2$ 内のSiの拡散率が高いために、実際のトラップ位置は基板表面からの距離によつて変化する。これによつてメモリ・

セルの閾値電圧に対する電荷蓄積の効果が変化する。

Si 豊富な  $\text{SiO}_2$  は化学量論的  $\text{SiO}_2$  よりも多くのトラップを有することがわかつている。1983年10月刊ジャーナル・オブ・アブライド・フィジックス第54巻第10号、第5801-5827頁のデイマリア他「化学量論的値からずれた  $\text{SiO}_2$  層中の電荷の移動及びトラップ現象」(DiMaria et al, "Charge Transport and Trapping Phenomena in Off-Stoichiometric Silicon Dioxide Films," J. Appl. Phys., Vol. 54, No. 10, October 1983, pp. 5801-5827)と題する論文にはSi 豊富な  $\text{SiO}_2$  (1%乃至6%過剰なSiを含む)は略  $10^{20}$  トラップ/cm<sup>3</sup>を有することを示している。化学量論的  $\text{SiO}_2$  中の主なトラップ中心を与える-OH官能基及び物理的不連続性の外に、Si 豊富な  $\text{SiO}_2$  は余分なトラップを与えるSi原子のクラスタを有する。しかしながら上記デイマリア(DiMaria)

の論文に指摘されているように、Siのクラスタの存在は電子移動のための新しい機構(即ちクラスタークラスタ・エネルギー・バンド間のフォラ・ノルハイム(Fowler-Norheim)トンネリング)を与える。この機構によつて1%-6% Siが豊富な  $\text{SiO}_2$  層は化学量論的  $\text{SiO}_2$  層が蓄積するよりも少なく蓄積する点迄、層の導電率を増強する。 $\text{SiO}_2$  層のSiの量が増加すると、上述の導電率はSiクラスタの寸法の増大とクラスタ間の距離の減少との組合せ効果によつて指数的に増大する。化学量論的  $\text{SiO}_2$  層の上部にある非常にSiが豊富な  $\text{SiO}_2$  層(化学量論的値よりもSiが13%豊富)は同じ印加電圧で  $\text{SiO}_2$  単独によつて与えられるよりも高い電子の流れ $\cong 10^5$ を与える。これについては1980年5月刊ジャーナル・オブ・アブライド・フィジックス第51巻、第5号、第2722-2735頁のデイマリア他「Si 豊富な  $\text{SiO}_2$  層から  $\text{SiO}_2$  層中への高電流注入及び実験の応用」(DiMaria et al "High Current Injection Into

$\text{SiO}_2$  From Si-Rich  $\text{SiO}_2$  Films and Experimental Applications," J. Appl. Phys., Vol. 51, No. 5, May 1980, pp. 2722-2735)と題する論文を参照されたい。上述のDEIS EEPROMに関する特許に示されたように、この注入特性は多くのEEPROMの応用に使用されている。しかしながら、Si 豊富な  $\text{SiO}_2$  は電荷トラップとしてよりも電荷注入体として働くので、電荷維持機能を与えるのに使用することはできない。

窒化シリコンを電荷トラップ構造として使用することは知られている。金属-窒化シリコン-酸化物-Si(MNOS) PROMでは、アバランシエ破壊によつて基板から注入される電子は酸化物層を通過して窒化シリコン層によつてトラップされる。しかしながら、これ等の装置にはいくつかの問題がある。 $\text{Si}_3\text{N}_4$  層中に蓄積された電荷は自己再配列し、 $\text{Si}_3\text{N}_4$  の導電性及びバルク・トラッピングによつて時間とともに漏れる。トラップされた電荷は又  $\text{Si}_3\text{N}_3\text{-SiO}_2$  のインターフェ

イス近くから薄い  $\text{SiO}_2$  層(約25-30Å)を通過してSi基板に後方トンネリングする。これについては1981年7月刊ジャーナル・オブ・アブライド・フィジックス第52巻、第7号、第4825-4842頁のデイマリア他「Si 豊富な  $\text{SiO}_2$  注入体及び浮動多結晶Si蓄積層を使用する電氣的に変更可能な読取り専用メモリ」(DiMaria et al, "Electrically Alterable Read-Only-Memory Using Si-Rich  $\text{SiO}_2$  Injectors and a Floating Polycrystalline Silicon Storage Layer," J. Appl. Phys., Vol. 52, No. 7, July 1981, pp. 4825-4842)と題する論文、特に第4826頁を参照されたい。

Si 豊富な  $\text{Si}_3\text{N}_4$  についての実験を行つて、バルク導電特性は上記DiMariaのSi 豊富な  $\text{SiO}_2$  に関する発見と一致することがわかつた。Siの量が増加すると層の導電率も増大する。正味の効果は、低いSi含有量でトラッピングを減

少し、高い Si 含有量でトラッピングを実質的になくしてしまう。これ等の結果はエレクトロケミカル・ソサイアティの第166回会議(1984年10月7-12日に米国ルイジアナ州ニュー・オーリンズ市で開催)のA. バタチャリヤ他によつて発表された講演「LPCVD Si 豊富な窒化物層の物理及び電気的性質」(166th Meeting of the Electro Chemical Society (New Orleans, LA, Oct. 7-12, 1984), A. Bhattacharyya et al. "Physical and Electrical Characteristics of LPCVD Si-Rich-Nitride Films")で発表されている。同じく、1973年5月刊のジャパン・ジャーナル・オブ・アプライド・フィジックス第12巻、第5号、第641-第647頁の棚橋他「過剰な Si 含有量を変化した時の蒸着窒化シリコン層の性質」(Tanabashi et al. "Properties of Vapor Deposited Silicon Nitride Films with Varying Excess

Si Content," Japan J. Appl. Phys., Vol. 12, No. 5, May 1973 pp. 641-647)と題する論文を参照されたい。しかしながら、上述の文献に論じられているように厚い層( $\geq 0.1 \mu\text{m}$ )に定電流でストレスを与えた場合に比べて、薄い層( $100 \text{\AA}$ )に定電圧でストレスを与えた場合は、 $\text{Si}_3\text{N}_4$ 中に少量の Si を加えた時に、追加のトラップ中心の密度が Si 豊富な  $\text{SiO}_2$ に見られるように導電性の増強によつて打消されないことがわかつた。換言すると、低い含有量の Si 豊富な  $\text{Si}_3\text{N}_4$ 層は化学量的な  $\text{Si}_3\text{N}_4$ よりも効果的により多くの電荷を蓄積する。Si の百分率含有量が高くなると、導電効果が増大し始める。結論として、測定されたこの薄い層の性質はバルク層について報告された性質と一致している。

上述の実験結果を第2図乃至第4図に示す。この実験に使用したキャパシタ構造は p 型 Si 基板上に熱的に成長した  $45 \text{\AA}$  の  $\text{SiO}_2$  層、ジクロルシラン( $\text{SiH}_2\text{Cl}_2$ )及びアンモニア( $\text{NH}_3$ )を

種々の比 R (化学量論的  $\text{Si}_3\text{N}_4$  の場合の  $R=0.1$  から高度に Si 豊富な  $\text{Si}_3\text{N}_4$  の場合の  $R=3.1$ 迄)で使用して LPCVD ( $0.25 \text{ トール}$ 、 $770^\circ\text{C}$ )によつて付着した  $75 \text{\AA}$  の  $\text{Si}_3\text{N}_4$  層及び  $1 \mu\text{m}$  のアルミニウム層より成る。第2図(従来技術)は  $\text{SiH}_2\text{Cl}_2/\text{NH}_3$  の流速の比 R と  $\text{Si}_3\text{N}_4$  層の屈折率 n の関係を示したグラフ図である(上述の1984年のエレクトロケミカル・ソサイアティの講演集参照)。屈折率は Si の含有量の増加とともに線形に増大している。第3図は R が 0、1、3、5、10、15 及び 31 の  $\text{Si}_3\text{N}_4$  層の  $\log J$  ( $J$  は  $\text{A}/\text{cm}^2$  を単位とする電流密度)対電界 ( $\text{E}/\text{cm}$ ) のグラフ図である。一般にこのグラフは、Si の含有量が少ない ( $R=3$  及び 5)  $\text{Si}_3\text{N}_4$  層では化学量論的  $\text{Si}_3\text{N}_4$  と比較して相対的に小さな導電率の増加を示すことを示している。Si の含有量が  $R=10$  もしくはそれ以上に増大すると導電率は著しく増大する。第4図は印加電界が  $4 \times 10^6 \text{ V}/\text{cm}$  の時のフラットバンド・シフト対時間(秒)の

グラフ図である。  $R=3$  の場合のフラットバンド・シフトは R が 0.1、1.0 もしくは 1.5 の層によつて生ずるシフトよりも大きいことに注意されたい。  $R=10$  の層は  $R=15$  の層よりも大きなフラットバンド・シフトを与えることに注目されたい。印加電界が  $7 \times 10^6 \text{ V}/\text{cm}$  (第5図)に上昇すると、  $R=3$  の層によつて生ずるフラットバンド・シフトはいく分大きくなるが、  $R=10$  及び  $R=15$  の層によつて生ずるシフトはほとんど変化していない。上述の実験結果は、追加の Si 含有量が低いと、Si 豊富な  $\text{Si}_3\text{N}_4$  層が(夫々第4図及び第5図の中位及び高い印加電界での高いフラットバンド・シフトによつて示されるように)著しく増強されたトラップ特性を示し、しかも(第3図に示すように)著しく増強された導電率特性を示すことがないことを示している。

さらに実験を行つて Si 豊富な  $\text{Si}_3\text{N}_4$  の電荷トラッピング特性を求めた。第6図は両方の極性の電界 ( $\text{MV}/\text{cm}$ ) を一定時間印加した時のフラットバンドのシフト ( $\Delta V_{FB}$ ) を示した図で

ある。テスト構造はP型Si基板上に熱成長させた70ÅのSiO<sub>2</sub>(OX)層、その上に付着した100ÅのSi<sub>3</sub>N<sub>4</sub>(NIT)もしくはSi豊富なSi<sub>3</sub>N<sub>4</sub>(SRN)層(R=0.1及び5)、このSi<sub>3</sub>N<sub>4</sub>層もしくはSi豊富なSi<sub>3</sub>N<sub>4</sub>層上に熱的に成長した45ÅのSiO<sub>2</sub>(OX)層及び1μmのAl層より成る。化学量論的Si<sub>3</sub>N<sub>4</sub>(実線)は両方の極性の電界Eで夫々正のフラットバンド・シフトを示し、2つのシフト間の差はE=±7.5×10<sup>6</sup>V/cmでわずかに略1.5Vであることに注目されたい。しかしながら、R=5のSi豊富なSi<sub>3</sub>N<sub>4</sub>層は電界Eの関数として正及び負のフラットバンド・シフトを示す。従つて正孔及び電子の両方がトラップされる。2つのシフト間の差はE=7.5×10<sup>6</sup>V/cmで略3.5Vである。このフラットバンド・シフトの差は製造可能なEEPROMセルを与えるのに十分である。

上記の実験によつて明らかなように、特にR=3~5(夫々屈折率=2.10もしくは2.17に対応)で付着されたSi豊富なSi<sub>3</sub>N<sub>4</sub>はEEPROMセルのポリシリコン浮動ゲートによつて通常与えられる電荷蓄積機能を与える。一般に0.1より大きく1.0未満(より具体的には屈折率が略2.10及び2.30間にある)のSi豊富なSi<sub>3</sub>N<sub>4</sub>層は顕著な電荷伝導を与えないで顕著な電荷トラップの増強を与える。

## E2 本発明のメモリ・セル及びアレイ

第1図は上述のSi豊富なSi<sub>3</sub>N<sub>4</sub>層を電荷トラップ構造として有するEEPROMセルの断面図である。ゲート構造50がSi基板10の表面上に与えられている。基板10は<100>配向の、N+型単結晶Siウエハであり、エピタキシャル付着もしくはインプランテーションによつて形成されたP-表面領域12を有する。100ÅのSiO<sub>2</sub>層20が基板10上に熱的に成長されている。実際には、絶縁層20は複数のSiO<sub>2</sub>-Si<sub>3</sub>N<sub>3</sub>層もしくはSiO<sub>2</sub>-オキシ窒化シリコン層で形成することもできる。R<1.0で付着されたSi豊富なSi<sub>3</sub>N<sub>4</sub>層3.0がSiO<sub>2</sub>層20の上側に与えられる。この層は略15Å乃至100Åの厚さを

有する。このSi豊富なSi<sub>3</sub>N<sub>4</sub>層は3乃至5の範囲のRで付着されることが好ましい。Si豊富なSi<sub>3</sub>N<sub>4</sub>層3.0上には40乃至100Åのバリア層25が形成される。このバリア層は高温に保たれたウエットなO<sub>2</sub>雰囲気中さらすことによつて層3.0上に酸化物層の熱成長により形成されることが好ましい。

本発明のEEPROMセルを与えるためには、所定のバイアスで蓄積される電荷を最大化することが好ましい。稠密な装置の幾何学形状から生ずる敏感性によつて、1.0乃至12Vの範囲もしくはそれ以下の使用電圧を使用することが好ましい。この分野で知られているように電荷トラップ構造によつてトラップされる電荷の量を増大する(しかも電荷注入機構としての基板からのトンネリングをなくす)1つの方法は電荷注入構造を電荷トラップ構造の上に形成することである。

従つて、電荷注入構造35がバリア層25上に形成される。一般に、SiO<sub>2</sub>より成る電荷注入構造(化学量論的SiO<sub>2</sub>層の上に存在するSi豊富

なSiO<sub>2</sub>層より成る)は良好な電荷注入特性を与えるので、これらを本発明において電荷注入を与えるのに使用することができる。しかしながら、本発明においては化学量論的SiO<sub>2</sub>のようなバリア絶縁層の上のSi豊富なSi<sub>3</sub>N<sub>4</sub>層(R>1.0)より成る電荷注入構造を形成することが好ましい。次の理由でSiO<sub>2</sub>注入構造よりもSi<sub>3</sub>N<sub>4</sub>注入構造の方が好ましい。Si豊富なSiO<sub>2</sub>層と化学量論的SiO<sub>2</sub>層間のインターフェイスは注入を増強する。1980年9月刊ジャーナル・オブ・アプライド・フィジックス第51巻第9号、第4830-4841頁のデイマリヤ他「Si豊富なSiO<sub>2</sub>層からの高電流注入を使用するSiO<sub>2</sub>中の電荷トラッピングの研究」(DiMaria et al., "Charge Trapping Studies In SiO<sub>2</sub> Using High Current Injection From Si-Rich SiO<sub>2</sub> Films," J. Appl. Phys., Vol. 51, No. 9, September 1980, pp. 4830-4841)と題する論文の中に記載されているように、この高電流はこの材料の2相



(Si及びSiO<sub>2</sub>)特性によるSi豊富なSiO<sub>2</sub>とSiO<sub>2</sub>のインターフェイスにある局所的な電界の歪によつて生ずるものと考えられる」。研究によればSiは容易にSiO<sub>2</sub>内を拡散することがわかっている。1985年1月刊アブライド・フィジカル・レターズ第46巻第1号、第38-40頁のネスビットによる「Si豊富なSiO<sub>2</sub>層のアニーリング特性」(Nesbit "Annealing Characteristics of Si-Rich SiO<sub>2</sub> Films," Appl. Phys. Lett., Vol. 46, No. 1, January 1985, pp. 38-40)と題する論文の第Ⅰ表及び第Ⅲ表に示されているようにSi豊富なSiO<sub>2</sub>中のクラスタの寸法及びその拡散度はアニール時間/温度とともに増大する。多くのゲート電極形成後の処理シーケンスでは高いアニール時間/温度が使用されているから、この増強されたSiO<sub>2</sub>注入特性を与えるSiクラスタは隣接するSiO<sub>2</sub>中に拡散し、局所電界の歪を減少して注入閾値を破壊する。SiはSi<sub>3</sub>N<sub>4</sub>内では拡散度のはるかに小さいのでSi<sub>3</sub>N<sub>4</sub>/

SiO<sub>2</sub>インターフェイスはその後の熱処理段階に、対してはるかに高い耐性を有する。結果のSi豊富なSi<sub>3</sub>N<sub>4</sub>の注入体(屈折率2.35以上、好ましくはR=15の250)は化学量論的Si<sub>3</sub>N<sub>4</sub>よりも著しく増強された電荷トラッピングを与えることなく(第4図、第5図)著しく増強された電荷の伝導を与える(第2図)。

導電性材料が複数のゲートを相互接続する長い線の形で制御電極40を画定している。この意味で制御電極40はワン・デバイス・ダイナミック・ランダム・アクセス・メモリ・セルの電荷移動ゲートFETを相互接続するのに通常使用されているワード線と同じである。制御電極40は多くの導電性材料(たとえばAl、Al合金、耐火金属、耐火金属シリサイド)から形成できるが、ドーブド・ポリシリコン、又はドーブド・ポリシリコンとタングステン・シリサイドもしくはチタン・シリサイドのような耐火金属シリサイドの複合体から形成されることが好ましい。

制御電極40を形成した後、基板10上に5

00乃至2000ÅのSiO<sub>2</sub>層を付着して、CF<sub>4</sub>/O<sub>2</sub>プラズマ中で方向性にエッチして複合スタック・ゲート構造50の側壁上にスペーサ45を与える。ゲート構造50の面定中にSiO<sub>2</sub>層20がパターン化されない程度にスペーサ45の面定中に残りの部分が除去される。次にN+型拡散領域60、65がゲート構造の両側にリン・イオン・インプランテーションによつて面定され、パッシベーション層80(ホスホシリケート・ガラス、ボロホスホシリケート・ガラスのような高い絶縁性の再溶融可能な材料もしくはポリイミドのような有機樹脂より形成される)がウエハ上に付着される。次に通常のホトレジストを付着、露光及び現像して拡散領域60、65上に存在するパッシベーション層80の部分を露出して、これ等の部分をCHF<sub>3</sub>/O<sub>2</sub> RIE中でエッチングして除去し、パイアを面定する。次に金属層70を付着し、パイアを充填して拡散領域にコンタクトを形成する。最後に、以下詳細に説明するように、金属層70をパターン化して拡散領域のうち選択

された領域を相互接続する。このようにして形成されたメモリ・セルは分離領域78で分離されている。

第7図は本発明に従つて構成されたメモリ・セルのアレイの上面図である。複数の分離領域100A-100Dが互に平行に蛇行して配置されていて、分離された基板部分を面定している。これ等の分離領域100については以下より詳細に説明する。ワード線40A-40Cは分離領域100A-100Dに直交する方向に配置されている。ゲート構造50の上に存在する制御電極40を与えるワード線40A-40Cの部分は参照文字G乃至Oによつて示されている。従つて、たとえば、ワード線40Aは第1のゲート構造G、第2のゲート構造H及び第3のゲート構造Iのための制御電極40を与える。金属線70A-70C及び75A-75Cが分離領域100A-100Dの方向と平行に交互に配置されている。これ等の金属線はワード線の各側上の1つおきの拡散領域を相互接続している。より具体的に説明するために、

第1図を再び参照すると、金属線70A-70Cがパッシベーション層80中のパイアを通して拡散領域60に接続されている。金属線70A-70Cは拡散領域60がFETのソース電極として動くようにバイアスされる。従つて、線70A-70Cはソース線と呼ばれる。同じく、金属線75A-75Cは拡散領域65に結合されている。拡散領域65はFETのドレイン電極として動くので、線75A-75Cはドレイン線と呼ばれる。これ等の金属線と拡散領域間のコンタクトは第7図にX印を含むボックスで示されている。従つて同じ分離領域100A-100D間に存在する隣接するメモリ・セルは拡散領域を共用している。たとえば、ゲート構造Gによつて画定されるメモリ・セルとゲート構造Jによつて画定されるメモリ・セルはソース線70Aに結合された共通の拡散領域を共用している。同じく、ゲート構造Jによつて画定されるメモリ・セルとゲート構造Mによつて画定されるメモリ・セルはドレイン線75Aに結合された共通のドレイン拡散領域65を共

基板を独立にバイアス出来る離散部分に分離する。従つて、再び第7図を参照すると、その上にメモリ・セルG、J及びMが形成される基板の部分は第1の電圧に設定され、他方残りの基板の部分は第2の電圧に設定される。実際、夫々の基板部分の上に独立してバイアス電圧を設定するために多くの良く知られている基板バイアス回路の任意の1つが使用される。これ等の回路の出力はコンタクトS1、S2等を通つて個々の基板部分に送られる。コンタクトはトレンチによつて取巻かれ、基板の隣接部分に影響を与えないようになっている。このような能力の重要性については以下詳細に説明する。

第9図は第7図の線9-9に沿つて見た断面図である。隣接メモリ・セルは共通の拡散領域を共有している。

### E3 メモリ・セル・アレイの動作

第7図、第8図及び第9図に示されたメモリ・セル・アレイの動作を説明する。

セルの1つからのデータを読取るために、所望

用している。

第8図は第7図の線8-8に沿つて見た断面図である。第8図に示したように、隣接するSi部分(たとえばその中に形成された拡散領域65Aを有する)は分離領域100によつて横方向に分離されている。分離領域100は非侵食性のマスク(たとえば基板上のSiO<sub>2</sub>層及びSiO<sub>2</sub>層上のSi<sub>3</sub>N<sub>4</sub>層)上の通常のホトレジストによつて露出されたSi基板の部分をエッチングすることによつて形成される。露出した基板の部分は塩素をベースとする気体プラズマ中で異方性にエッチされる。SiO<sub>2</sub>の厚い層が次にトレンチの側壁及び底部上に付着され、トレンチがポリシリコンで充填される。次にトレンチの外部に存在するポリシリコン及び厚いSiO<sub>2</sub>層が除去される。これに代つてトレンチには厚いSiO<sub>2</sub>の層もしくは他の絶縁層(たとえば、ポリイミド)が充填できる。いずれにしても、トレンチはP-型表面領域12を通してN+型バルク基板10迄延びる程十分深くなくてはならない。このようにして、分離領域は

のセルに関連するワード線40A-40Cが0Vから+5Vに上昇され、すべてのドレイン線75A-75Cが0Vから+5Vに上昇される。ソース線70A-70Cは0Vに保持される。ドレイン線の電圧はワン・デバイス・ダイナミック・ランダム・アクセス・メモリ技術に使用されている良く知られた差動ラッチ・センス増幅器によつてモニタされる。もしアクセスしたセルのゲート構造50のSi豊富なSi<sub>3</sub>N<sub>4</sub>層30が電荷を蓄積している場合には、この装置に関連するチャネル領域は反転することができず、従つて装置はオンにならず、ドレイン線電圧は変化しない。蓄積された電荷の存在は「低」論理状態を示す。もしアクセスしたセルのゲート構造50のSi豊富なSi<sub>3</sub>N<sub>4</sub>層30が電荷を蓄積していない場合には、制御電極40上の高電圧によつて装置はオンに転じ、結合されているドレイン線75A-75Cから少量の電荷が失われ、これがセンス増幅器によつて検出される。蓄積電荷がないことは「高」論理状態を示す。

「高」論理状態をセルの1つに書き込むために、  
 所望のセルに関連するワード線40A-Cは0V  
 から+10Vに上昇する。所望のセルに関連し、  
 0Vに保持されているソース線-ドレイン線対を  
 除くすべてのドレイン線75A-75C及びソー  
 ス線70A-70Cは+5Vの電圧に上昇される。  
 この結果、所望のセルのゲート構造50はこれに  
 +10Vの電圧がかかり、制御電極40から基板  
 12にかけて、Si豊富な $\text{Si}_3\text{N}_4$ 層30から電  
 荷注入構造35を通つて制御電極40に電荷の注  
 入を生ずるに十分な電界を生ずる。これ等の制御  
 電界は電荷を蓄積しているSi豊富な $\text{Si}_3\text{N}_4$ 層  
 30中の電荷トラップの完全な電荷減少を可能に  
 する程十分長い時間保持される。印加制御電圧の  
 特徴は選択していないセルに印加される最大の差  
 電圧が+5Vであり、この値は蓄積されている電  
 荷が失われるには不十分な値である。

「低」論理状態をセルの1つに書き込むためには、  
 所望のセルに関連するワード線40A-40Cは  
 0Vに保持される。選択されないソース線70A

0A、75A及び70C、75Cは+5Vに上昇  
 され、線70B、75Bは浮動にされる。分離領  
 域100Bと100Cの間の基板部分は+10V  
 に上昇され、他方残りの基板部分は0Vに保持さ  
 れる。従つてゲート構造Kには-10Vが印加さ  
 れ、電子がセルKのゲート構造50の制御電極4  
 0から注入されてSi豊富な $\text{Si}_3\text{N}_4$ 層30によ  
 つてトラップされる。

例2-「1」のセルKへの書き込み

ワード線40Bを+10Vに上昇し、他方ワー  
 ド線40A及び40Cは0Vに保持される。線7  
 0A、75A及び70C、75Cは+5Vに上昇  
 され、線70B、75Bは0Vのままにされる。  
 基板は大地電圧に保持される。従つてゲート構造  
 には+10Vが印加され、例1でトラップされた  
 電荷がトラップ層30から除去され、制御電極4  
 0に注入される。

例3-セルKの読取り

ワード線40Bは+5Vに上昇され、ワード線  
 40A、40Cは大地電圧に保持される。ドレイ

-70C及びドレイン線75A-75Cは+5V  
 に上昇され、他方選択されたセルに関連する線は  
 浮動状態にされる(即ち、これ等は電圧源には結  
 合されない)。同時に所望のメモリ・セルが存在  
 する基板部分は+10Vに上昇される。残りの基  
 板部分は大地電圧に保持されている。この結果、  
 電界が基板10から制御電極40の方向に与えら  
 れ、電荷が電荷注入構造からSi豊富な $\text{Si}_3\text{N}_4$   
 層30に注入される。選択しないセルには+5V  
 の差電圧が制御電圧に与えられ、従つて望まれな  
 いプログラミングが防止される。

従つて上述のように個々のセルはセルの行もし  
 くはセルのアレイを消去することなく、相繼ぐ反  
 対の論理状態によつて重ね書きできる。

次に上述の動作を第7図に示されたアレイ中の  
 メモリ・セルの1つについて逆行される順次動作  
 サイクルを示す次の例で説明する。

例1-「0」のセルKへの書き込み

ワード線40Bは0Vに保持され、ワード線4  
 0A及び40Cは+5Vに上昇されている。線7

ン線75A-75Cは+5Vに上昇され、ソー  
 ス線70A-70Cは0Vに保持される。セルKは  
 電荷を蓄積していないので装置がオンになり、セ  
 ンス増幅器のドレイン線の電圧がわずかに降下す  
 る。

E4 メモリ・セルの改良代替実施例

第6図乃至第9図に示された本発明のメモリ・  
 セルはn+基板10とその上のp-エピタキシャル  
 層12上に形成されているが、実際にはこの構  
 造は「高」論理状態の書き込みよりも「低」論理状  
 態の書き込みの場合により大きなキャパシタンスを  
 生ずる。例1で局所的基板を+10Vにバイアス  
 した時に基板の底部(p-n+)のダイオードが  
 順方向にバイアスされ、隣接するポケットにn+  
 p-キャパシタンスを形成するようになる。この  
 キャパシタンスの差は望まれる場合はいくつかの  
 技術によつて除去でき、「低」論理状態書き込みの  
 パフォーマンスの改良及び電力の節約が得られる。  
 このような技術は第10図に示したように深くイ  
 ンプラントしたn+サブコレクタ層14をエピタ

ものである。もし基板の固有抵抗を低くしたい場合には $n+$ サブコレクタ層14の上に $p+$ インプラント層を加えることができる。このような $p+$ インプラント層は必要ではないが装置の設計の観点から有用である。第11図に示した他の技術は $Si$ 層12の下に分離層16を設けるものである。

実際に、この構造はたとえば米国特許第4601779号に開示されている多くの一般に知られている絶縁体上に $Si$ を付着する方法の任意の一つを使用することによつて与えることができる。

メモリ・セル及びアレイは特定の実施例について説明されたが、多くの変更が可能である。たとえば、もしより高い制御電圧に耐えることができるならば、電荷注入構造はゲート構造から除くことができる。さらに所望のセルに"1"状態を蓄込んでいる時に選択しないセルのプログラミングが生ずる懸念がある時は、第12図に示した構造を使用することができる。電荷蓄積-注入層(30、35)はチャネル長の半分の長さの上に配置されている。チャネルの残りは通常のポリシリコ

ン絶縁体ゲート構造によつて覆われている。従つて、電荷が過剰に除去されても、結果の反転領域はチャネル領域の半分迄延びるだけである。酸化物スペーサ45は層25、30、35及び40を付着及びパターン化した後に形成される。本発明は10-12Vの範囲の制御電圧に関連して説明されたが、これ等の制御電圧は装置の寸法と関連してセルの寸法がさらに減少される時は減少することができる。最後に第6図乃至第12図は本発明がEEPROMセルに应用されている場合を示すが、本発明の原理は持久性のDRAMセル等にも応用できる。

#### F 発明の効果

本発明に従えば非導電性の電荷トラップ構造が与えられる。

本発明のメモリ・セル・アレイは多くの長所を有する。注入型のEEPROMの電荷トラップ構造としてのポリシリコンをなくすることによつて、本発明のメモリ・セルは容量の比を保持すること

にわずらわされることなく設計することができる。注入材料として $Si$ 豊富な $Si_3N_4$ 層を使用することによつて $Si$ 豊富な $SiO_2$ に関連する製造に伴う問題が大いに減少する。最後に、トレンチによつて分離された基板領域を使用することによつて高い制御電圧もしくは大きなセル構造に依存しない重ね書き可能なEEPROMが与えられる。

#### 4. 図面の簡単な説明

第1図は本発明の原理に従い構成されたメモリ・セルを示した断面図である。

第2図は $Si$ 豊富な $Si_3N_4$ 層の屈折率と $SiH_2Cl_2/NH_3$ の流速比との関係を示したグラフ図である。

第3図は $Si$ 含有 $Si_3N_4$ 層の電流密度 $J$ (対数)対印加電界の関係を示したグラフ図である。

第4図は $Si$ 含有 $Si_3N_4$ 層の、 $4 \times 10^6 V/cm$ の印加電界におけるフラットバンド・シフト対時間の関係を示したグラフ図である。

第5図は $Si$ 含有 $Si_3N_4$ 層の、 $7 \times 10^6 V/cm$ の印加電界におけるフラットバンド・シフト

対時間の関係を示したグラフ図である。

第6図は化学量論的 $Si_3N_4$ 及び $R=5$ の $Si$ 含有 $Si_3N_4$ のフラットバンド・シフト対異なる極性の印加電界の関係を示したグラフ図である。

第7図は第1図に示したメモリ・セルのアレイの上面図である。

第8図は第7図の線8-8に沿つて見た断面図である。

第9図は第7図の線9-9に沿つて見た断面図である。

第10図は本発明を実施するための分離された基板部分を与える一つの方法的断面図である。

第11図は本発明を実施するための分離された基板部分を与える他の方法的断面図である。

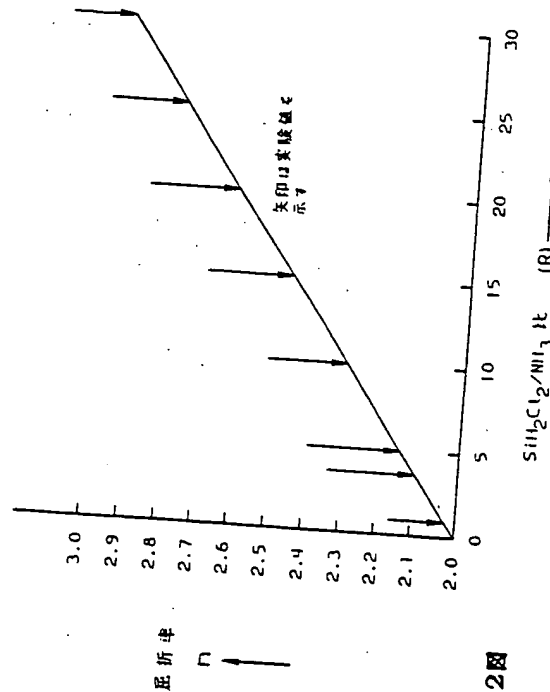
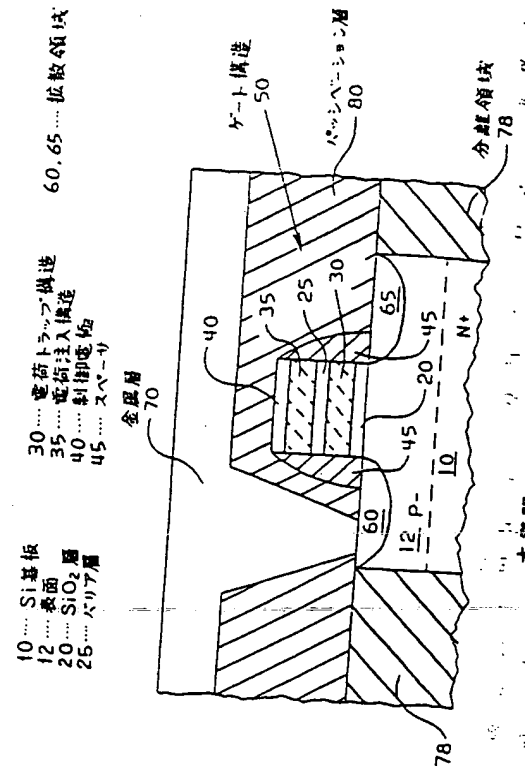
第12図は本発明のメモリ・セルのゲート構造の他の実施例の断面図である。

10...  $Si$ 基板、12... 基板の表面、20...  $SiO_2$ 層、25... バリヤ層、30... 電荷トラップ構造、35... 電荷注入構造、40... 制御電極、45... スペーサ、50... ゲート構

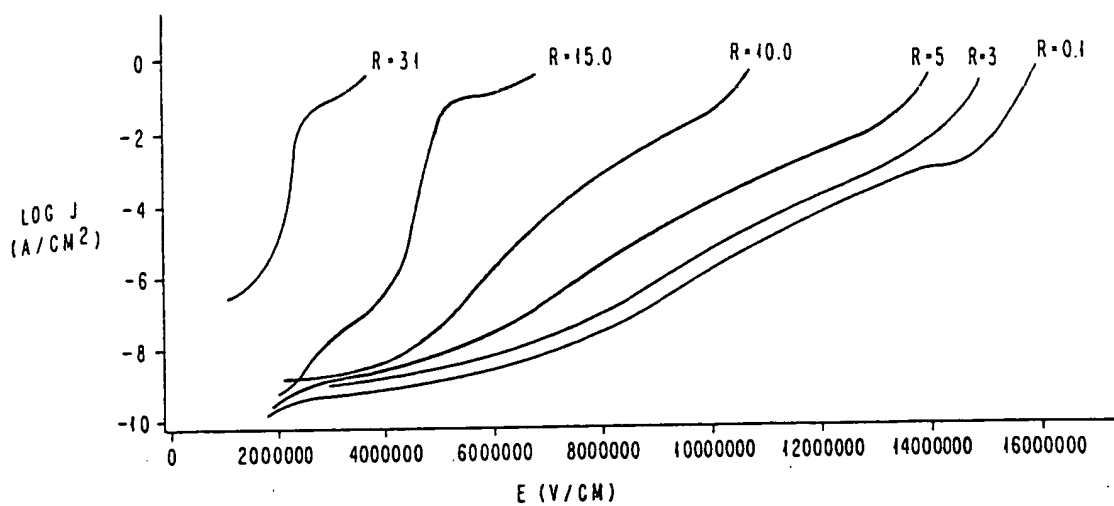
造、60、65…拡散領域、70…金属層、  
78…分離領域。

出願人 インターナショナル・ビジネス・マシーンス・コーポレーション  
代理人 井理士 山 本 仁 朗  
(外1名)

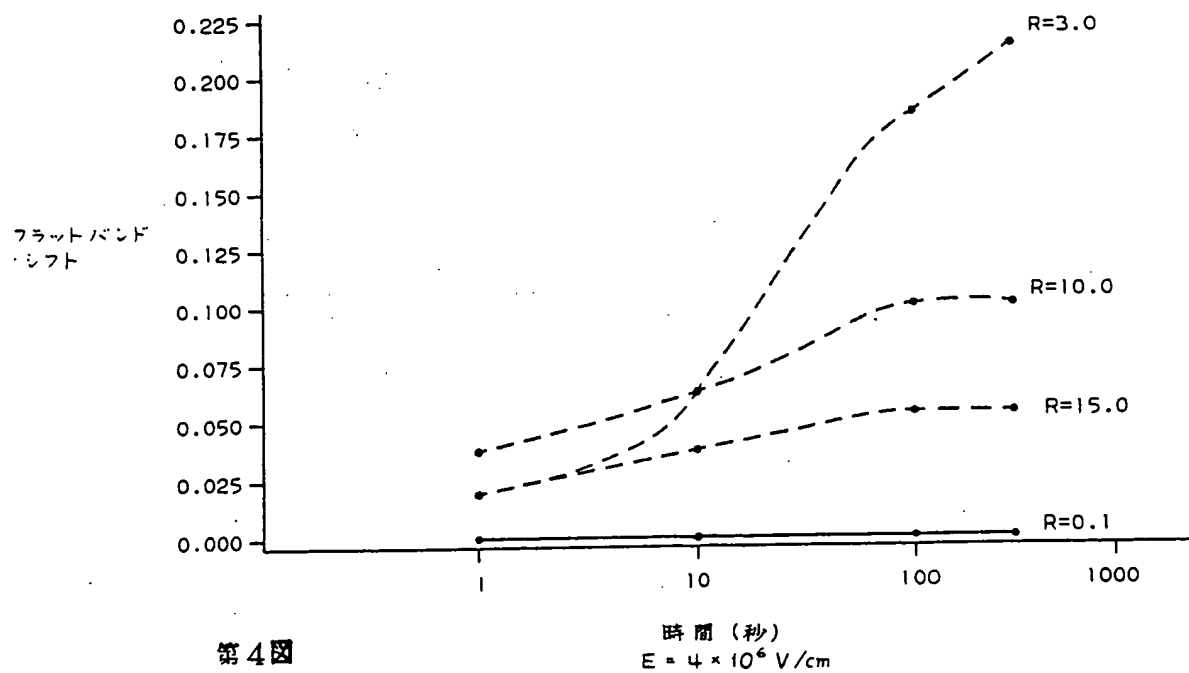
特開平1-115165(C)



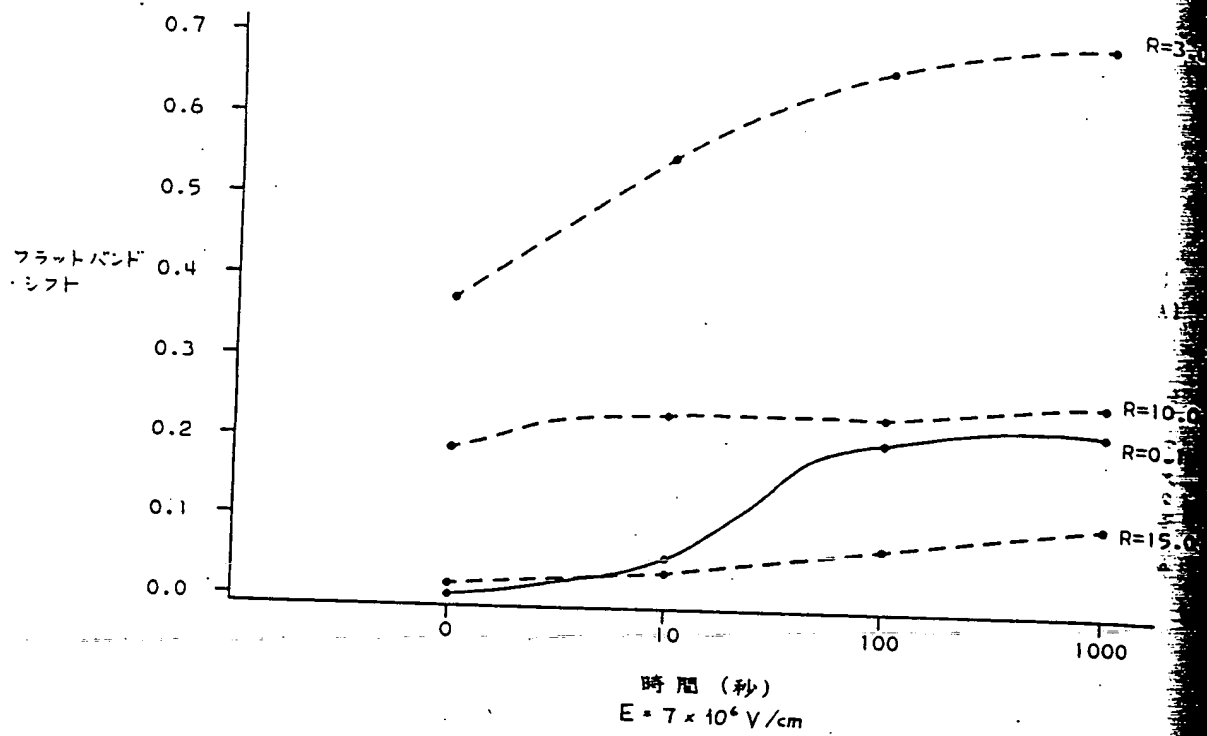
第2図



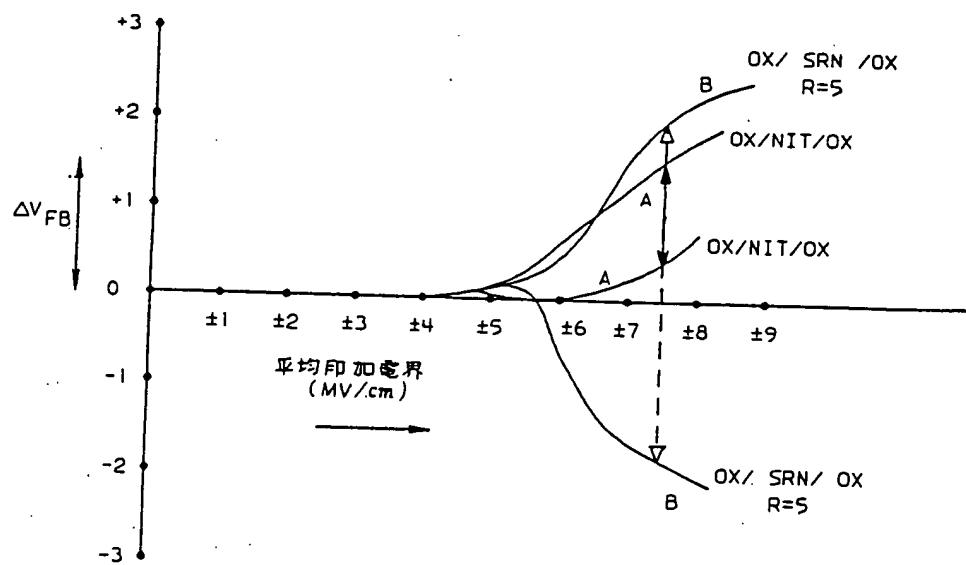
第3図



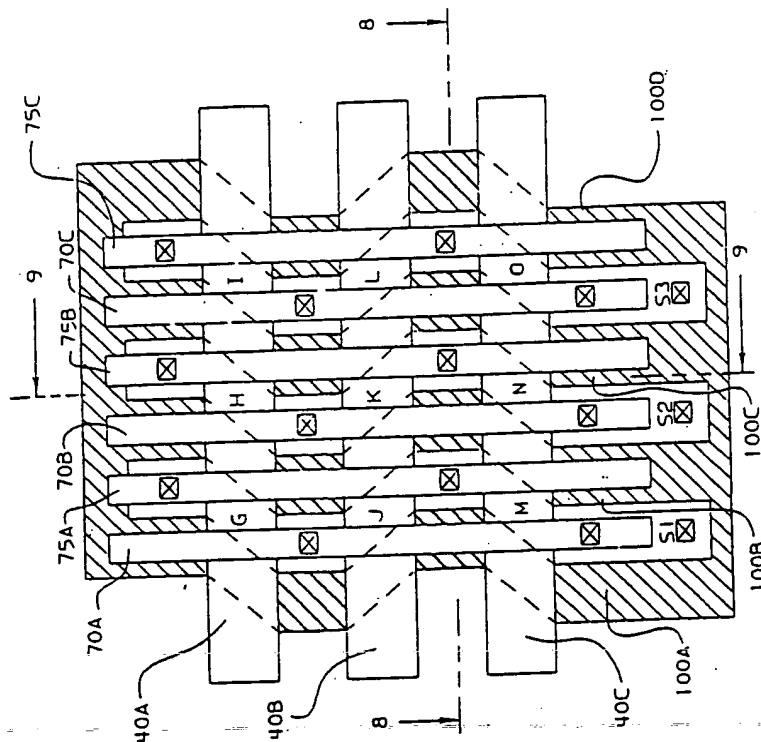
第4図



第5図

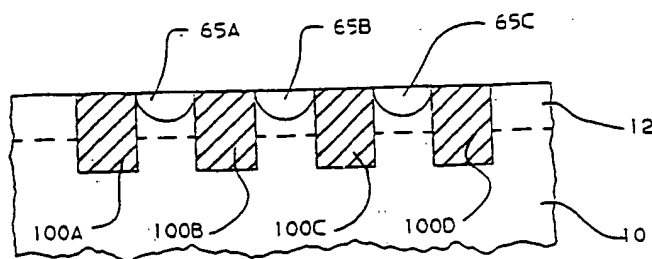


第6図

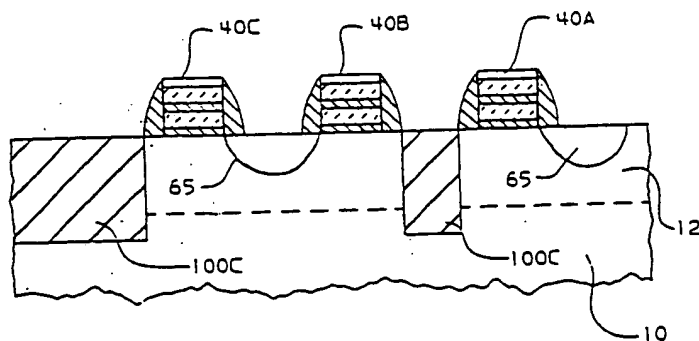


第7図

40A, 40B, 40C ... ワード線  
70A, 70B, 70C ... ソース線  
75A, 75B, 75C ... ドレイン線  
100A, 100B, 100C ... 分岐領域

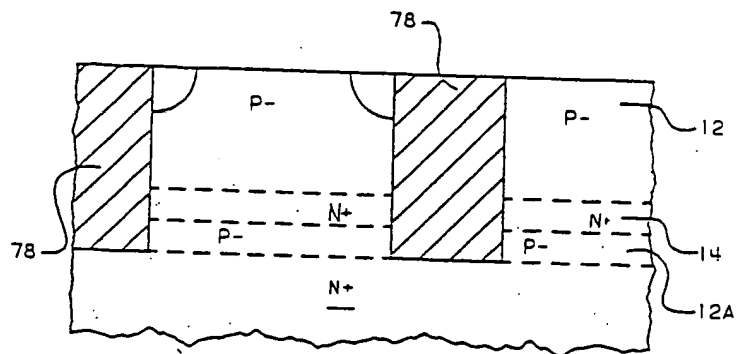


第8図

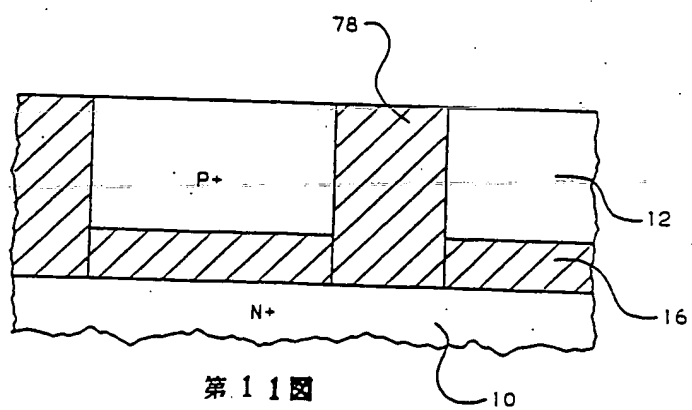


第9図

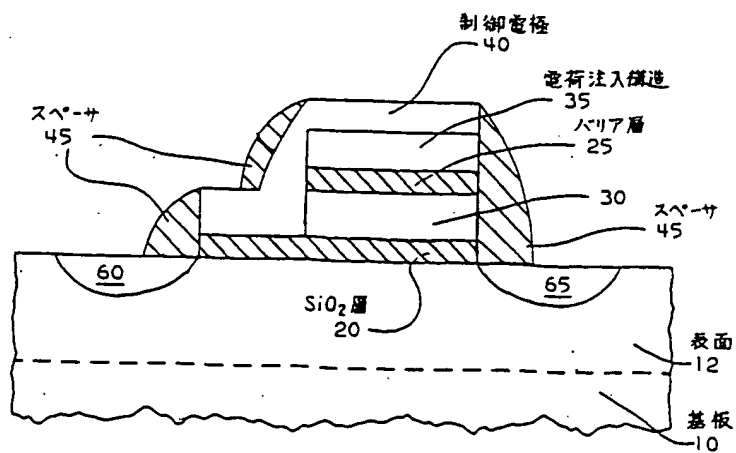




第10図



第11図



60, 65 ... 拡散領域

第12図

第1頁の続き

0発 明 者

アラップ・バーティチ  
ヤージャ

アメリカ合衆国ヴァーモント州エセックス・ジャンクシ  
ョン、グレンウッド・ドライブ18番地

0発 明 者

ガリイ・ダグラス・グ  
リース

アメリカ合衆国ヴァーモント州コルチエスター、クレイ・  
ポイント・ロード101番地